

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-217433

(43)Date of publication of application : 10.08.2001

(51)Int.Cl.

H01L 29/786

H01L 27/12

H01L 21/336

(21)Application number : 2001-000849

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 05.01.2001

(72)Inventor : BE KINSHO
 CHOE TAE-HEE
 KIM SANG-SU
 RHEE HWA-SUNG
 LEE NAE-IN
 LEE KYUNG-WOOK

(30)Priority

Priority number : 2000 200000670

Priority date : 07.01.2000

Priority country : KR

2000 711706

13.11.2000

US

2000 200075482

12.12.2000

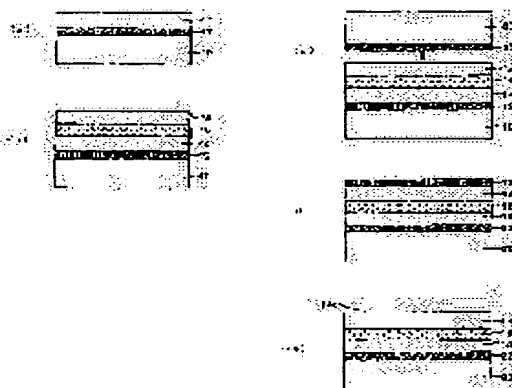
KR

(54) CMOS INTEGRATED CIRCUIT ELEMENT WITH BURIED SILICON GERMANIUM LAYER,
 SUBSTRATE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a MOS semiconductor element, a substrate and its manufacturing method which has no need of the use of a strained channel region to ensure elevated channel mobility characteristics.

SOLUTION: The CMOS integrated circuit element comprises an electric insulation layer and an active layer having no strain on the insulation layer. An insulation gate electrode is given on the surface of the non-strained silicon active layer, an Si_{1-x}Ge_x layer is disposed between the insulation layer and the silicon active layer and forms a first junction with the silicon active layer, germanium therein has a concentration gradient monotonously decreasing in a first direction from the peak level to the surface of the silicon active layer, the peak concentration level of germanium is x=0.15 or more, and the germanium concentration varies from the peak level to a level x=0.1 or less at the first junction and may be steep in gradient at the first junction.



LEGAL STATUS

[Date of request for examination]

05.07.2004

BEST AVAILABLE COPY

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-217433

(P2001-217433A)

(43)公開日 平成13年8月10日(2001.8.10)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ド*(参考)
H 0 1 L 29/786		H 0 1 L 27/12	B
27/12		29/78	6 1 8 E
21/336			6 1 6 V
			6 1 8 B
			6 2 7 D
審査請求 未請求 請求項の数58 O L (全 19 頁)			

(21)出願番号 特願2001-849(P2001-849)

(22)出願日 平成13年1月5日(2001.1.5)

(31)優先権主張番号 2 0 0 0 6 7 0

(32)優先日 平成12年1月7日(2000.1.7)

(33)優先権主張国 韓国 (K R)

(31)優先権主張番号 7 1 1. 7 0 6

(32)優先日 平成12年11月13日(2000.11.13)

(33)優先権主張国 米国 (U S)

(31)優先権主張番号 2 0 0 0 7 5 4 8 2

(32)優先日 平成12年12月12日(2000.12.12)

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 ▲ベ▼ 金鐘
大韓民国京畿道水原市勸善区金谷洞 (番地なし) L G ビリジ210棟301号

(72)発明者 崔 兌▲ヒー▼
大韓民国ソウル特別市麻浦区延南洞570-41番地

(74)代理人 100064908
弁理士 志賀 正武 (外1名)

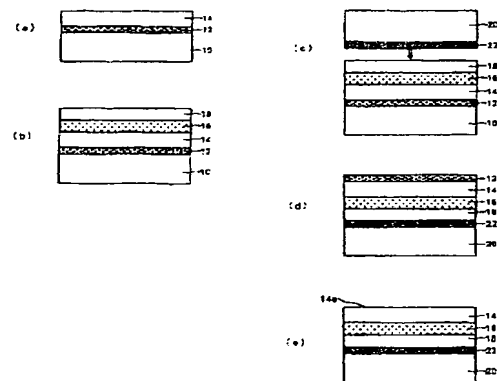
最終頁に続く

(54)【発明の名称】 埋め込みシリコンゲルマニウム層をもつCMOS集積回路素子及び基板とその製造方法

(57)【要約】

【課題】 埋め込みシリコンゲルマニウム層をもつCMOS集積回路素子及び基板とその製造方法を提供する。

【解決手段】 CMOS集積回路素子が電氣的な絶縁層と該絶縁層上の歪みのない活性層を含む。絶縁ゲート電極が歪みのないシリコン活性層の表面に与えられる。Si_{1-x}Ge_x層が前記絶縁層と前記シリコン活性層との間に配置される。Si_{1-x}Ge_x層は前記シリコン活性層と第1接合を形成し、その内にゲルマニウムがピークレベルから前記シリコン活性層の表面に向かう第1方向で単調に減少する傾斜した濃度をもつ。ゲルマニウムのピーク濃度レベルはx=0.15以上であり、Si_{1-x}Ge_x層内でゲルマニウムの濃度はピークレベルから第1接合でx=0.1以下のレベルまで変化する。第1接合でゲルマニウムの濃度は急傾斜であり得る。



【特許請求の範囲】

【請求項1】 電気的な絶縁層と、前記電気的な絶縁層上の歪みのないシリコン活性層と、前記歪みのないシリコン活性層表面上の絶縁されたゲート電極と、前記電気的な絶縁層と前記歪みのないシリコン活性層との間に配置され、前記歪みのないシリコン活性層と第1接合を形成し、その内でゲルマニウムがピークレベルから表面に向けて延びる第1方向に単調に減少する傾斜した濃度をもつ $Si_{1-x}Ge_x$ 層と、を含んでなるSOI電界効果トランジスタ。

【請求項2】 前記ピークレベルは $x=0.15$ よりも大きく、前記 $Si_{1-x}Ge_x$ 層内のゲルマニウムの濃度は前記ピークレベルから前記第1接合で約 $x=0.1$ よりも小さいレベルまで変化することを特徴とする請求項1に記載のSOI電界効果トランジスタ。

【請求項3】 前記 $Si_{1-x}Ge_x$ 層内のゲルマニウムの濃度は、 $0.2 < x < 0.4$ であるピークレベルから前記第1接合で $x=0$ のレベルまで変化することを特徴とする請求項2に記載のSOI電界効果トランジスタ。

【請求項4】 前記 $Si_{1-x}Ge_x$ 層は前記電気的な絶縁層と界面をなし、さらに、前記 $Si_{1-x}Ge_x$ 層内で前記傾斜したゲルマニウムの濃度は前記界面で約 $x=0.1$ よりも小さいレベルから前記ピークレベルまで増大することを特徴とする請求項3に記載のSOI電界効果トランジスタ。

【請求項5】 前記歪みのないシリコン活性層は約600Å以上の厚さをもつことを特徴とする請求項1に記載のSOI電界効果トランジスタ。

【請求項6】 前記 $Si_{1-x}Ge_x$ 層は、約800Å以下の厚さをもつことを特徴とする請求項5に記載のSOI電界効果トランジスタ。

【請求項7】 前記 $Si_{1-x}Ge_x$ 層はN型不純物で注入されており、前記 $Si_{1-x}Ge_x$ 層内で前記N型不純物の濃度は前記第1方向に減少するプロファイルをもつことを特徴とする請求項1に記載のSOI電界効果トランジスタ。

【請求項8】 電気的な絶縁層と、前記電気的な絶縁層上の複合半導体活性領域であって、前記複合半導体活性領域は約600Å以上の厚さをもつ歪みのないシリコン活性層、及び前記電気的な絶縁層と前記シリコン活性層との間に配置される単一 $Si_{1-x}Ge_x$ 層を具備し、前記 $Si_{1-x}Ge_x$ 層は前記シリコン活性層と第1接合を形成し、その内でゲルマニウムがピークレベルから前記シリコン活性層の表面に向けて延びる第1方向に単調に減少する傾斜した濃度をもつ複合半導体活性領域と、前記表面上の絶縁されたゲート電極と、を含んでなるSOI電界効果トランジスタ。

【請求項9】 前記ピークレベルは $x=0.15$ よりも大きく、前記 $Si_{1-x}Ge_x$ 層内のゲルマニウムの濃度は前記ピークレベルから前記第1接合で約 $x=0.1$ よ

りも小さいレベルまで変化することを特徴とする請求項8に記載のSOI電界効果トランジスタ。

【請求項10】 前記 $Si_{1-x}Ge_x$ 層内のゲルマニウムの濃度は $0.2 < x < 0.4$ であるピークレベルから前記第1接合で $x=0$ であるレベルまで変化することを特徴とする請求項9に記載のSOI電界効果トランジスタ。

【請求項11】 前記 $Si_{1-x}Ge_x$ 層は前記電気的な絶縁層と界面をなし、さらに、前記 $Si_{1-x}Ge_x$ 層内で前記傾斜したゲルマニウムの濃度は、前記界面で約 $x=0.1$ よりも小さいレベルから前記ピークレベルまで増大することを特徴とする請求項10に記載のSOI電界効果トランジスタ。

【請求項12】 前記 $Si_{1-x}Ge_x$ 層は、約800Å以下の厚さをもつことを特徴とする請求項8に記載のSOI電界効果トランジスタ。

【請求項13】 電気的な絶縁層と、前記電気的な絶縁層上の複合半導体活性領域であって、前記複合半導体活性領域はその内でゲルマニウムが単一の $Si_{1-x}Ge_x$ 層内のピークレベルからその表面に向けて延びる第1方向に単調に減少する傾斜した濃度をもつ単一の $Si_{1-x}Ge_x$ 層及び前記単一の $Si_{1-x}Ge_x$ 層との第1接合から前記表面に延びたシリコン活性層を具備し、前記表面近辺で最小レベルをもち、前記単一の $Si_{1-x}Ge_x$ 層内でピークレベルをもつレトログレードされたN型ドーパントプロファイルをもつ複合半導体活性領域と、前記表面上の絶縁されたゲート電極と、を含んでなることを特徴とするPMOS電界効果トランジスタ。

【請求項14】 前記シリコン活性層は約600Åよりも大きい厚さをもち、その内に表面に隣接した非変形領域をもつことを特徴とする請求項13に記載のPMOS電界効果トランジスタ。

【請求項15】 前記絶縁されたゲート電極に対向して前記シリコン活性層内に延びた低濃度でドーピングされたP型ソース及びドレイン領域と、前記低濃度でドーピングされたP型ソース領域と前記単一の $Si_{1-x}Ge_x$ 層との間で延び、各々それらと整流及び反整流接合を形成するN型導電型のソース側ポケット注入領域をさらに含むことを特徴とする請求項14に記載のPMOS電界効果トランジスタ。

【請求項16】 電気的な絶縁層と、前記電気的な絶縁層上のシリコン活性層と、前記シリコン活性層の表面上の絶縁されたゲート電極と、前記電気的な絶縁層と前記シリコン活性層との間に配置され、前記シリコン活性層と第1接合を形成する $Si_{1-x}Ge_x$ 層と、前記シリコン活性層内で第1導電型の低濃度でドーピングされたソース及びドレイン領域と、前記低濃度でドーピングされたソース領域と前記 $Si_{1-x}Ge_x$ エピタキシャル層との間で延び、それらと整流及び反整流接合を形成する第2導電型のソース側ポケット注入領域と、を含むことを特徴

とするインハンスメントモード電界効果トランジスタ。

【請求項17】 前記 $Si_{1-x}Ge_x$ エピタキシャル層は、その内にゲルマニウムが前記電氣的な絶縁層から前記絶縁されたゲート電極に向かう方向に減少する傾斜した濃度をもつことを特徴とする請求項16に記載のインハンスメントモード電界効果トランジスタ。

【請求項18】 前記 $Si_{1-x}Ge_x$ エピタキシャル層は、その内にレトログレードされたN型ドーピングプロファイルをもつことを特徴とする請求項17に記載のインハンスメントモード電界効果トランジスタ。

【請求項19】 前記シリコン活性層は、約600Åよりも大きい厚さをもつことを特徴とする請求項18に記載のインハンスメントモード電界効果トランジスタ。

【請求項20】 その内にシリコン層をもつハンドリング基板及び前記シリコン層上に延びる $Si_{1-x}Ge_x$ 層を形成する段階と、前記ハンドリング基板に支持基板を接着して前記支持基板と前記シリコン層との間に前記 $Si_{1-x}Ge_x$ 層を配置させる段階と、前記シリコン層を露出させ、その内に埋め込み $Si_{1-x}Ge_x$ 層をもつSOI基板を限定するために前記支持基板から前記ハンドリング基板の一部を除去する段階と、を含む半導体基板の形成方法。

【請求項21】 前記埋め込み $Si_{1-x}Ge_x$ 層は、その内のゲルマニウムが前記支持基板から前記シリコン層に向かう方向に減少する傾斜した濃度をもち、前記シリコン層は歪みのないシリコン層であることを特徴とする請求項20に記載の半導体基板の形成方法。

【請求項22】 前記ハンドリング基板を形成する段階は、その内に第1シリコン層、前記第1シリコン層上に延びる $Si_{1-x}Ge_x$ 層及び前記 $Si_{1-x}Ge_x$ 層上に延びる第2シリコン層をもつハンドリング基板を形成する段階を含むことを特徴とする請求項20に記載の半導体基板の形成方法。

【請求項23】 前記接着段階前に熱的酸化層を形成するために前記第2シリコン層を熱的に酸化させる段階が先行され、前記支持基板はその上に酸化物表面層を含み、前記接着段階は前記酸化物表面層を前記熱的酸化層に接着する段階を含むことを特徴とする請求項22に記載の半導体基板の形成方法。

【請求項24】 前記接着段階前に $Si_{1-x}Ge_x$ 層上に電氣的な絶縁層を蒸着する段階が先行され、前記支持基板はその上に酸化物表面層を含み、前記接着段階は前記酸化物表面層を前記電氣的な絶縁層に接着する段階を含むことを特徴とする請求項20に記載の半導体基板の形成方法。

【請求項25】 前記ハンドリング基板は、その内に多孔性シリコン層を含み、前記除去段階は前記多孔性シリコン層を分離することで前記支持基板から前記ハンドリング基板の一部を除去する段階を含むことを特徴とする請求項20に記載の半導体基板の形成方法。

【請求項26】 前記除去段階は、前記多孔性シリコン層及び前記シリコン層を連続的に平坦化する段階を含むことを特徴とする請求項25に記載の半導体基板の形成方法。

【請求項27】 前記ハンドリング基板は、その内に多孔性シリコン層を含み、前記除去段階は前記多孔性シリコン層及び前記シリコン層を連続的に平坦化する段階を含むことを特徴とする請求項20に記載の半導体基板の形成方法。

10 【請求項28】 前記ハンドリング基板を形成する段階は、前記シリコン層上に $Si_{1-x}Ge_x$ 層をエピタキシャル成長させる段階と、前記ハンドリング基板内に水素注入層を形成するために前記 $Si_{1-x}Ge_x$ 層及び前記シリコン層を通じて水素イオンを注入する段階を含むことを特徴とする請求項20に記載の半導体基板の形成方法。

【請求項29】 前記除去段階は、前記水素注入層を分離する段階を含むことを特徴とする請求項28に記載の半導体基板の形成方法。

20 【請求項30】 前記除去段階は、前記水素注入層を平坦化する段階を含むことを特徴とする請求項29に記載の半導体基板の形成方法。

【請求項31】 前記ハンドリング基板を形成する段階は、前記シリコン層上に $Si_{1-x}Ge_x$ 層をエピタキシャル成長させる段階と、前記ハンドリング基板内に水素注入層を形成するために前記 $Si_{1-x}Ge_x$ 層及び前記シリコン層を通じて水素イオンを注入する段階と、を含むことを特徴とする請求項21に記載の半導体基板の形成方法。

30 【請求項32】 前記除去段階は、前記水素注入層を分離する段階を含むことを特徴とする請求項31に記載の半導体基板の形成方法。

【請求項33】 前記除去段階は、前記水素注入層を平坦化する段階を含むことを特徴とする請求項32に記載の半導体基板の形成方法。

【請求項34】 その内に歪みのないシリコン層及び前記歪みのないシリコン層上に延び、その内にゲルマニウムの濃度が傾斜したエピタキシャル $Si_{1-x}Ge_x$ 層をもつハンドリング基板を形成する段階と、前記ハンドリング基板に支持基板を接着して前記支持基板と前記歪みのないシリコン層との間に前記 $Si_{1-x}Ge_x$ 層を配置させる段階と、前記歪みのないシリコン層を露出させ、その内に埋め込み $Si_{1-x}Ge_x$ 層をもつSOI基板を形成するために前記支持基板から前記ハンドリング基板の一部を除去する段階と、を含むことを特徴とする半導体基板の形成方法。

40 【請求項35】 前記形成段階は、その内に約600Å以上の厚さをもつ歪みのないシリコン層をもつハンドリング基板を形成する段階を含むことを特徴とする請求項34に記載の半導体基板の形成方法。

【請求項36】 前記 $\text{Si}_{1-x}\text{Ge}_x$ 層は、約800Å以下の厚さをもつことを特徴とする請求項35に記載の半導体基板の形成方法。

【請求項37】 その上に電気的な絶縁層をもつシリコンウェーハと、前記電気的な絶縁層上に延び、その内にゲルマニウムの傾斜した濃度をもつ $\text{Si}_{1-x}\text{Ge}_x$ 層と、前記 $\text{Si}_{1-x}\text{Ge}_x$ 層と反整流接合を形成し、SOI基板の表面に延びる非変形シリコン活性層と、を含むSOI基板。

【請求項38】 前記 $\text{Si}_{1-x}\text{Ge}_x$ 層は、前記歪みのないシリコン活性層からエピタキシャル成長されたものであることを特徴とする請求項37に記載のSOI基板。

【請求項39】 前記歪みのないシリコン活性層は、約600Å以上の厚さをもつことを特徴とする請求項38に記載のSOI基板。

【請求項40】 電気的な絶縁層、前記電気的な絶縁層上の歪みのないシリコン活性層及び前記電気的な絶縁層と前記歪みのないシリコン活性層との間に配置され、その内部にゲルマニウムの傾斜した濃度をもつ $\text{Si}_{1-x}\text{Ge}_x$ エピタキシャル層を含むSOI基板の表面に絶縁されたゲート電極を形成する段階と、前記歪みのないシリコン活性層内に第1導電型のソース及びドレイン領域を形成する段階と、前記歪みのないシリコン活性層及び前記 $\text{Si}_{1-x}\text{Ge}_x$ エピタキシャル層内で延び、各々前記ソース及びドレイン領域とPN接合を形成する第2導電型のソース側及びドレイン側ポケット注入領域を形成する段階と、を含むことを特徴とする電界効果トランジスタの製造方法。

【請求項41】 前記歪みのないシリコン活性層は、約600Å以上の厚さをもつことを特徴とする請求項40に記載の電界効果トランジスタの製造方法。

【請求項42】 前記絶縁されたゲート電極を形成する段階前に前記歪みのないシリコン活性層内に第1導電型のスレショルド電圧調節用ドーピングを注入する段階が行われ、前記絶縁されたゲート電極を形成する段階後に前記 $\text{Si}_{1-x}\text{Ge}_x$ エピタキシャル層内にスレショルド電圧調節用ドーピングのレトログレードプロファイルを形成するために前記SOI基板をアニーリングする段階が行われることを特徴とする請求項40に記載の電界効果トランジスタの製造方法。

【請求項43】 前記ソース側及びドレイン側ポケット注入領域を形成する段階後に、前記絶縁されたゲート電極上に側壁絶縁スペースを形成する段階が行われ、前記ソース及びドレイン領域を形成する段階は、前記絶縁されたゲート電極をイオン注入マスクとして前記歪みのないシリコン活性層内に第1導電型の第1ソース及びドレイン領域ドーピングを注入する段階と、前記絶縁されたゲート電極及び前記側壁絶縁スペースをイオン注入マスクとして前記歪みのないシリコン活性層内に第1導電型の第2ソース及びドレイン領域ドーピングを注入する段

階と、を含むことを特徴とする請求項42に記載の電界効果トランジスタの製造方法。

【請求項44】 バルクシリコン領域と、前記バルクシリコン領域上の電気的な絶縁層と、前記電気的な絶縁層上に第1厚さをもつ歪みのないシリコン活性層と、前記歪みのないシリコン活性層の表面上の絶縁されたゲート電極と、前記絶縁されたゲート電極上の側壁絶縁スペースと、前記電気的な絶縁層と前記歪みのないシリコン活性層との間に配置され、前記歪みのないシリコン活性層と第1接合を形成し、その内にゲルマニウムがピークレベルから前記表面に向かう第1方向に単調に減少する傾斜した濃度をもつ第1導電型の $\text{Si}_{1-x}\text{Ge}_x$ 層と、前記歪みのないシリコン活性層内で延び、前記第1厚さ以下の厚さをもつ第2導電型の低濃度でドーピングされたソース及びドレイン領域と、前記低濃度でドーピングされたソース領域と前記 $\text{Si}_{1-x}\text{Ge}_x$ 層との間で延び、前記歪みのないシリコン活性層内の第1導電型のソース側ポケット注入領域と、を含むSOI電界効果トランジスタ。

【請求項45】 前記 $\text{Si}_{1-x}\text{Ge}_x$ 層は、前記表面に対してその内にレトログレードされた第1導電型のドーピングプロファイルをもつことを特徴とする請求項44に記載のSOI電界効果トランジスタ。

【請求項46】 前記 $\text{Si}_{1-x}\text{Ge}_x$ 層は、前記表面に対してその内にレトログレードされた砒素ドーピングプロファイルをもつことを特徴とする請求項45に記載のSOI電界効果トランジスタ。

【請求項47】 前記歪みのないシリコン活性層内に第1導電型のチャンネル領域をさらに具備し、前記 $\text{Si}_{1-x}\text{Ge}_x$ 層内で第1導電型ドーピングのピーク濃度が前記チャンネル領域内での第1導電型ドーピングのピーク濃度よりも大きいことを特徴とする請求項45に記載のSOI電界効果トランジスタ。

【請求項48】 前記歪みのないシリコン活性層内に第1導電型のチャンネル領域をさらに具備し、前記 $\text{Si}_{1-x}\text{Ge}_x$ 層内で第1導電型ドーピングのピーク濃度が前記チャンネル領域内での第1導電型ドーピングのピーク濃度よりも大きいことを特徴とする請求項46に記載のSOI電界効果トランジスタ。

【請求項49】 前記歪みのないシリコン活性層は、約600Å以上の厚さをもつことを特徴とする請求項48に記載のSOI電界効果トランジスタ。

【請求項50】 前記歪みのないシリコン活性層は、約600Å以上の厚さをもつことを特徴とする請求項45に記載のSOI電界効果トランジスタ。

【請求項51】 電気的な絶縁層と、前記電気的な絶縁層上に第1導電型のシリコン活性層と、前記シリコン活性層の表面上の絶縁されたゲート電極と、前記シリコン活性層内の第2導電型のソース領域及びドレイン領域と、前記ソース領域とドレイン領域との間で延び、前記

絶縁されたゲート電極の下部のチャンネル領域を形成する第2導電型の低濃度でドーピングされたソース及びドレイン領域と、前記低濃度でドーピングされたソース及びドレイン領域と前記電気的な絶縁層との間に配置された $Si_{1-x}Ge_x$ エピタキシャル層と、を含むことを特徴とする電界効果トランジスタ。

【請求項52】 前記低濃度でドーピングされたソース及びドレイン領域は前記 $Si_{1-x}Ge_x$ エピタキシャル層と接触せず、前記ソース領域及びドレイン領域が前記 $Si_{1-x}Ge_x$ エピタキシャル層と接触することを特徴とする請求項51に記載の電界効果トランジスタ。

【請求項53】 前記 $Si_{1-x}Ge_x$ エピタキシャル層と前記電気的な絶縁層との間に配置されたエピタキシャルシリコン層をさらに具備することを特徴とする請求項51に記載の電界効果トランジスタ。

【請求項54】 前記 $Si_{1-x}Ge_x$ エピタキシャル層及び前記シリコン活性層の全体厚さが約1500Å以下であることを特徴とする請求項51に記載の電界効果トランジスタ。

【請求項55】 電気的な絶縁層を形成する段階と、前記電気的な絶縁層上に第1導電型のシリコン活性層を形成する段階と、前記シリコン活性層の表面上の絶縁されたゲート電極を形成する段階と、前記シリコン活性層内の第2導電型のソース領域及びドレイン領域を形成する段階と、前記ソース領域とドレイン領域との間で延び、前記絶縁されたゲート電極の下部にチャンネル領域を形成する第2導電型の低濃度でドーピングされたソース及びドレイン領域を形成する段階と、前記低濃度でドーピングされたソース及びドレイン領域と前記電気的な絶縁層との間に配置された $Si_{1-x}Ge_x$ エピタキシャル層を形成する段階と、を含むことを特徴とする電界効果トランジスタの形成方法。

【請求項56】 前記低濃度でドーピングされたソース及びドレイン領域は前記 $Si_{1-x}Ge_x$ エピタキシャル層と接触せず、前記ソース領域及びドレイン領域が前記 $Si_{1-x}Ge_x$ エピタキシャル層と接触することを特徴とする請求項55に記載の電界効果トランジスタ。

【請求項57】 前記 $Si_{1-x}Ge_x$ エピタキシャル層と前記電気的な絶縁層との間に配置されたエピタキシャルシリコン層をさらに具備することを特徴とする請求項55に記載の電界効果トランジスタ。

【請求項58】 前記 $Si_{1-x}Ge_x$ エピタキシャル層及び前記シリコン活性層の全体厚さが約1500Å以下であることを特徴とする請求項55に記載の電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体素子及びその製造方法に係り、より詳細には、MOS系半導体素子及び基板とその形成方法に関する。

【0002】

【従来の技術】 部分空乏SOI (Partially-depleted Silicon-On-Insulator; PDSOI) MOSFETは速い速度及び低い電力性能を提供するが、典型的に素子の性能を大幅に低下させる寄生フローティングボディ効果 (Floating body effect; FBE) に敏感である。SOI MOSFETでこのFBE効果を減らすために、各種の技術が提案されている。その一つが、SOI NMOS電界効果トランジスタのソースに隣接する狭いギャップのシリコンゲルマニウム ($SiGe$) 層を用いることである。当該技術分野において当業者に容易に分かるように、シリコンゲルマニウム層の使用はボディ領域からソース領域に通過するホールに対してポテンシャル障壁を減少させる。したがって、衝撃イオン化によりボディ領域で発生したホールは p^-Si (ボディ) / n^+SiGe (ソース) / n^+Si (ソース) の経路を通じてソース領域に容易に流れ込むことができる。このような、そして他の関連技術がJ. シム (J. sim) 氏らの "Elimination of Parasitic Bipolar-induced Breakdown Effects in Ultra-Thin SOI MOSFETs Using Narrow-Bandgap-Source (NBS) Structure" (IEEE Trans. Ele. Dev., Vol. 42, No. 8, pp. 1495-1502, August 1995) という題の論文、エム. ヨシミ (M. Yoshimi) 氏らの "Suppression of the Floating-Body Effect in SOI MOSFETs by the Bandgap Engineering Method Using a $Si_{1-x}Ge_x$ Source Structure" (IEEE Trans. Dev., Vol. 44, No. 3, pp. 423-429, March 1997) という題の論文に開示されている。また、ヨシミ氏らに与えられた "Insulated-Gate Transistor Having Narrow-Bandgap-Source" という題の米国特許第5,698,869号にもMOSFETのソース領域内に狭いバンドギャップ物質の使用を開示している。

【0003】 FBEを減少させ、かつMOSFET内でチャンネル特性を向上させるための技術がリアウ (Liau) 氏らに与えられた "Method for Forming a Semiconductor Device Having a Heteroepitaxial Layer" という題の米国特許第5,891,769号に開示されている。特に、前記769特許は、MOSFET内でキャリア移動度を高めるために歪みのあるチャンネル領域の使用を開示している。このように歪みのあるチャンネル領域はアズーグロウン (as-grown) で

成長させた弛緩された又は歪みのないシリコンゲルマニウム層上にシリコン層を成長させることで形成できる。チュー（Chu）氏らに与えられた“Bulk and Strained Silicon on Insulator Using Selective Oxidation”という題の米国特許第5,963,817号もやはりFBEを向上させるためにシリコンに比べて速い速度で選択的に酸化するシリコンゲルマニウム層の使用を開示している。さらに、チュー（Chu）氏らに与えられた米国特許第5,906,951号及び第6,059,895号には、ウェーハボンディング技術とSOI基板を提供するために歪みのあるSiGe層を開示している。ウェーハボンディング技術及びSOI基板を提供するためにシリコンゲルマニウム層を用いることはまた、ガウル（Gaul）氏らに与えられた米国特許第5,218,213号及び第5,240,876号にも開示されている。SOI基板を形成するための従来の技術が図1A-図1Dないし図2A-2Dに示されている。特に、図1Aは、その内に多孔性シリコン層112及びその上にエピタキシャルシリコン層114を具備したハンドリング基板110の形成を示している。図1Bは、前記エピタキシャルシリコン層114の表面に支持基板120の接着を示している。前記支持基板120は、従来の技術を用い、前記エピタキシャルシリコン層114上に直接接触される酸化物層122がその上に形成できる。次に、図1Cに示されたように、ハンドリング基板110の一部が除去されて多孔性シリコン層112を露出させる。このような除去段階はハンドリング基板110の一部を研磨或いはエッチングして行ったり、多孔性シリコン層112を分離して行ったりすることができ

る。次に、図1Dに示されたように、通常の平坦化技術が多孔性シリコン層112を除去するために行われて、その内に埋め込まれた酸化物層122及びその上に練磨されたシリコン層114をもつSOI基板を提供する。図1Aないし図1Dに示された従来の技術は、一般に、ELTRAN（epi-layer-transfer）技術として知られている。

【0004】図2Aは、その内に埋め込まれた水素注入層132を限定するために基板の表面に水素イオンを注入することでその上にシリコン層130'を具備したハンドリング基板130の形成を示している。次に、図2Bは、前記ハンドリング基板に支持基板120が接着される。次に、ハンドリング基板132の一部が、図2Cに示されたように、水素注入層132に沿って前記接着された基板を除去することで除去される。次に、図2Dに示されたように、一般的な平坦化技術が水素注入層132を除去するために行われる。図2Aないし図2Dに示されたこのような従来の技術は、一般に、“スマートカット”技術として知られている。

【0005】不幸にも、たとえ、歪みのあるシリコンチ

ャンネル領域の使用がNMOS及びPMOS素子の両方でキャリアの移動度を高めるが、このように歪みのある（strained）領域は、一般に、短チャンネル素子特性を劣化させる。したがって、MOSFET及びSOI基板を形成するための前述の技術にも拘わらず、高くなったチャンネル移動度特性を確保するために歪みのあるチャンネル領域の使用を要しない基板を形成する改善された方法及びそれにより形成された構造物に対する要求が高まりつつある。

【0006】

【発明が解決しようとする課題】本発明は上記事情に鑑みて成されたものであり、その目的は、高くなったチャンネル移動度特性を確保するために、歪みのあるチャンネル領域の使用を要しないMOS系半導体素子及び基板とその形成方法を提供するところにある。

【0007】

【課題を解決するための手段】本発明の実施形態は、その内に埋め込みSi_{1-x}Ge_x層をもつSOI（semiconductor-on-insulator）基板を含む。本発明の一実施形態によるSOI基板は、その上に電気的な絶縁層をもつシリコンウェーハと、前記電気的な絶縁層上に延び、その内にゲルマニウムが傾斜した濃度をもつSi_{1-x}Ge_x層を含む。また、歪みのない（unstrained）シリコン活性層がSOI基板内に与えられる。このように歪みのないシリコン活性層は、Si_{1-x}Ge_x層上に延びてそれと共に接合をなす。また、前記歪みのないシリコン活性層は、好ましくはSOI基板の表面に延びて、集積回路素子が前記シリコン活性層の表面に形成できる。相対的に薄膜シリコン活性層の使用を促進するために、Si_{1-x}Ge_x層は、好ましくは、歪みのないシリコン活性層からエピタキシャル成長される。このようなエピタキシャル成長段階は歪みのないシリコン活性層を与え（または、初期に基板上に歪みのないシリコン活性層をエピタキシャル成長させ）、次に、最大の所望のゲルマニウム濃度が得られるまで傾斜するようにゲルマニウムの濃度を高めることで活性層上にSi_{1-x}Ge_x層の成長をし続ける。次に、傾斜する方式でゲルマニウムの濃度をx=0まで減少させることでこれ以上の成長が発生できる。Si_{1-x}Ge_x層内でゲルマニウムの傾斜は直線状の傾斜をなすこともある。

【0008】好ましいSOI基板は、初期にその内に歪みのないシリコン層及び前記シリコン層上に延びたSi_{1-x}Ge_x層をもつハンドリング基板を形成させることで製作できる。次に、支持基板が前記ハンドリング基板に接着されて、Si_{1-x}Ge_x層が前記支持基板と前記歪みのないシリコン層との間に配置される。次に、シリコン層の表面を露出させ、その内に埋め込みSi_{1-x}Ge_x層をもつSOI基板を形成するために前記ハンドリング基板の一部が前記支持基板から除去されることが好ましい。ここで、前記埋め込みSi_{1-x}Ge_x層は、好ましく

は、前記支持基板から前記シリコン層の表面に延びる方向に減少されるプロファイルをもつ傾斜したゲルマニウムの濃度をもつ。

【0009】これらの方法はまた、その内に歪みのない第1シリコン層、前記第1シリコン層上に延びた $Si_{1-x}Ge_x$ 層及び前記 $Si_{1-x}Ge_x$ 層上に延びた歪みのないまたは歪みのある第2シリコン層をもつハンドリング基板を形成する段階を含む。また、前記接着段階前に前記 $Si_{1-x}Ge_x$ 層上に熱的酸化層を形成するために熱的に前記第2シリコン層を酸化させる段階を行っても良い。また、前記支持基板は、その上に酸化物表面層を含むことができ、前記接着段階は前記熱的酸化層に前記酸化物表面層を接着させる段階を含むことができる。あるいは、前記接着段階前に $Si_{1-x}Ge_x$ 層上に電気的な絶縁層を蒸着させる段階を行っても良く、前記接着段階は前記電気的な絶縁層に前記酸化物表面層を接着する段階を含むことができる。

【0010】SOI基板を形成するさらに他の好ましい方法によれば、ハンドリング基板はその内に多孔性シリコン層を含むことができ、前記除去段階は前記多孔性シリコン層を分離することで前記支持基板から前記ハンドリング基板の一部を除去し、次に前記多孔性シリコン層及びシリコン層を平坦化する段階を含むことができる。ハンドリング基板を形成する好ましい方法は、シリコン層上に $Si_{1-x}Ge_x$ 層をエピタキシャル成長させ、次に、前記ハンドリング基板内に水素注入層を形成するために前記 $Si_{1-x}Ge_x$ 層及び前記シリコン層を通じて水素イオンを注入する段階を含むことができる。そして、前記除去段階は、前記水素注入層を分離し、シリコン層の表面を露出させるために前記水素注入層を平坦化することで行われる。電界効果トランジスタを含む半導体素子は前記シリコン層の表面に形成できる。

【0011】本発明の付加的な実施形態は、SOI電界効果トランジスタを含む。このようなトランジスタは、電気的な絶縁層及び前記電気的な絶縁層上の歪みのないシリコン活性層を含む。また、前記歪みのないシリコン活性層表面に絶縁されたゲート電極が与えられる。また、前記電気的な絶縁層と前記歪みのないシリコン活性層との間に $Si_{1-x}Ge_x$ 層が配置される。前記 $Si_{1-x}Ge_x$ 層は、前記歪みのないシリコン活性層と第1接合を形成し、その内でゲルマニウムがピークレベルから前記歪みのないシリコン活性層の表面に向かって延びる第1方向に単調に減少する傾斜した濃度をもつ。この実施例の一形態によれば、ピークゲルマニウム濃度レベルは $x=0.15$ よりも大きく、前記 $Si_{1-x}Ge_x$ 層内でのゲルマニウムの濃度は前記ピークレベルから前記第1接合で約 $x=0.1$ よりも小さいレベルまで変化する。前記第1接合でゲルマニウムの濃度は急傾斜をもつ場合がある。より好ましくは、前記 $Si_{1-x}Ge_x$ 層内でのゲルマニウムの濃度は、 $0.2 < x < 0.4$ であるピークレ

ベルから前記第1接合で $x=0$ のレベルまで変化する。

【0012】また、前記 $Si_{1-x}Ge_x$ 層は前記下部の電気的な絶縁層と界面をなし、また前記 $Si_{1-x}Ge_x$ 層内で前記傾斜したゲルマニウムの濃度は前記電気的な絶縁層との界面で約 $x=0.1$ よりも小さいレベルから前記ピークレベルまで増大することもある。また、前記歪みのないシリコン活性層は約600Å以上の厚さをもつことができ、前記 $Si_{1-x}Ge_x$ 層は約800Å以下の厚さをもつことができる。

【0013】PMOSTランジスタでよりも大きい駆動電流能力がチャンネル領域及びボディ領域でドーピングプロファイルを再編成することにより達成できる。特に、シリコンと $Si_{1-x}Ge_x$ とであるドーピングの溶解度が異なるということが、PMOS素子の特性を向上させるのに有利に使用できる。好ましいPMOSTランジスタにおいて、 $Si_{1-x}Ge_x$ 層はN型ドーピングでドーピングされ、 $Si_{1-x}Ge_x$ 層内でN型ドーピングの濃度は前記歪みのないシリコン活性層の表面に向かう第1方向に減少するプロファイルをもつ。このプロファイルは、好ましくは $Si_{1-x}Ge_x$ 層内にピークレベルをもち、レトログレードされ続いたN型ドーピングプロファイルが前記歪みのないシリコン活性層を横切って延びる単調な方式で前記第1方向で減少できる。このようなN型ドーピングは、好ましくは、ボディ領域でパンチスルーを抑えるのに使用できるが、PMOSTランジスタのスレショルド電圧に影響を与えるのにも使用できる。

【0014】また、他のSOI電界効果トランジスタは、電気的な絶縁層及び前記電気的な絶縁層上の複合半導体活性領域を含むことができる。前記複合半導体活性領域は約600Å以上の厚さをもつシリコン活性層と、前記電気的な絶縁層と前記シリコン活性層との間に配置される単一の $Si_{1-x}Ge_x$ 層を具備できる。前記 $Si_{1-x}Ge_x$ 層は前記シリコン活性層と第1接合を形成し、その内でゲルマニウムがピークレベルから前記シリコン活性層の表面に向かって延びる第1方向に単調に減少する傾斜した濃度をもつ。前記 $Si_{1-x}Ge_x$ 層内でのゲルマニウムのピークレベルは、好ましくは、 $x=0.15$ よりも大きく、前記 $Si_{1-x}Ge_x$ 層内でのゲルマニウムの濃度は前記ピークレベルから前記第1接合で約 $x=0.1$ よりも小さいレベルまで変化する。より好ましくは、前記 $Si_{1-x}Ge_x$ 層内でのゲルマニウムの濃度は $0.2 < x < 0.4$ であるピークレベルから前記第1接合で $x=0$ のレベルまで変化する。また、前記 $Si_{1-x}Ge_x$ 層は、前記電気的な絶縁層と界面をなし、また前記 $Si_{1-x}Ge_x$ 層内での前記傾斜したゲルマニウムの濃度は前記界面で約 $x=0.1$ よりも小さいレベルから前記ピークレベルまで増大することもある。

【0015】本発明の他の実施形態は、電気的な絶縁層上に延びその内に複合半導体活性領域をもつPMOS電界効果トランジスタを含む。前記複合半導体活性領域は

その内でゲルマニウムが単一の $\text{Si}_{1-x}\text{Ge}_x$ 層内のピークレベルからその表面に向かって延びる第1方向に単調に減少する傾斜した濃度をもつ単一の $\text{Si}_{1-x}\text{Ge}_x$ 層を含む。また、歪みのないシリコン活性層が前記単一の $\text{Si}_{1-x}\text{Ge}_x$ 層との第1接合から前記表面に延びるように与えられる。また、前記複合半導体活性領域は、その内に表面に向かって延びた基本的少なくともレトログレードされたN型ドーピングプロファイルをもち、単一の $\text{Si}_{1-x}\text{Ge}_x$ 層内でピークレベルをもつ。このようなN型ドーピングにより与えられた全体的な電荷は、PMOSトランジスタのスレショルド電圧に影響を与える。また、単一の $\text{Si}_{1-x}\text{Ge}_x$ 層内でN型ドーピングは前記ソースとドレイン領域との間で延びることのできる空乏層により発生されるバンチスルーを大幅に防止する。また、低濃度でドーピングされたP型ソース及びドレイン領域が与えられる。このような領域は前記絶縁されたゲート電極に対向するシリコン活性層内に形成される。N型導電性のソース側ポケット注入領域が与えられ、これは、前記低濃度でドーピングされたP型ソース領域と前記単一の $\text{Si}_{1-x}\text{Ge}_x$ 層との間に形成される。このポケット注入領域は各々ソース領域及び単一の $\text{Si}_{1-x}\text{Ge}_x$ 層と整流及び反整流接合を形成し、接合漏れを抑えるように作用する。

【0016】SOI電界効果トランジスタのさらに他の実施形態は、バルクシリコン領域及び前記バルクシリコン領域上の電気的な絶縁層を含む。第1厚さをもつ歪みのないシリコン活性層がやはり前記電気的な絶縁層上に与えられ、側壁絶縁スペーサをもつ絶縁されたゲート電極が前記歪みのないシリコン活性層の表面に形成される。第1導電型の $\text{Si}_{1-x}\text{Ge}_x$ 層が前記電気的な絶縁層と歪みのないシリコン活性層との間に配置される。特に、前記 $\text{Si}_{1-x}\text{Ge}_x$ 層は、前記歪みのないシリコン活性層と第1接合を形成し、その内にゲルマニウムがピークレベルから表面に向かって延びる第1方向に単調に減少する傾斜した濃度をもつ。また、低濃度でドーピングされた第2導電型のソース及びドレイン領域が与えられる。このように低濃度でドーピングされた領域は歪みのないシリコン活性層内に形成されるが、前記歪みのないシリコン活性層の厚さよりも小さい深さで形成される。さらに、第1導電型のソース側ポケット注入領域が前記歪みのないシリコン活性層内に与えられ、このようなソース側ポケット注入領域は前記低濃度でドーピングされたソース領域と前記 $\text{Si}_{1-x}\text{Ge}_x$ 層との間に形成される。本実施例の好ましい形態によれば、前記 $\text{Si}_{1-x}\text{Ge}_x$ 層は表面に対してその内にレトログレードされた第1導電型ドーピングプロファイルをもつ。このようにレトログレードされた第1導電型ドーピングプロファイルは、レトログレードされた砒素または砒素/リンドーピングプロファイルであって、前記歪みのないシリコン活性層内の前記チャンネル領域で第1導電型ドーピングの

最大濃度に比べてその内の第1導電型ドーピングの濃度が大きい $\text{Si}_{1-x}\text{Ge}_x$ 層にならしめることができる。特に、前記レトログレードされたドーピングプロファイルは $\text{Si}_{1-x}\text{Ge}_x$ 層でピークをもち、前記ゲート電極の下部で最小となる。このようにレトログレードされたプロファイルは、好ましくは、前記ピークレベルから前記最小レベルまで単調に減少されるが、他のレトログレードプロファイルが得られることもある。前記歪みのないシリコン活性層の厚さ及び前記チャンネル領域と下部の $\text{Si}_{1-x}\text{Ge}_x$ 層内のドーピングの総量は、所望のスレショルド電圧を達成し、バンチスルーを防止するために注意深く調節できる。

【0017】また、本発明の実施形態は、SOI基板の表面上に絶縁されたゲート電極を形成することで電界効果トランジスタを形成する方法を含む。この基板は電気的な絶縁層、前記電気的な絶縁層上の歪みのないシリコン活性層及び前記電気的な絶縁層と歪みのないシリコン活性層との間に配置され、その内にゲルマニウムが傾斜した濃度をもつ $\text{Si}_{1-x}\text{Ge}_x$ 層を含む。前記歪みのないシリコン活性層内で第1導電型のソース及びドレイン領域を形成し、前記歪みのないシリコン活性層及び前記 $\text{Si}_{1-x}\text{Ge}_x$ エピタキシャル層内に形成された第2導電型のソース側及びドレイン側ポケット注入領域を形成するための段階がさらに行われる。このようなポケット注入領域は各々、ソース及びドレイン領域とP-N接合を形成する。絶縁されたゲート電極を形成する段階前に、好ましくは、前記歪みのないシリコン活性層内に第1導電型のスレショルド電圧調節用ドーピングを注入する段階が行われる。次に、このようなスレショルド電圧調節用ドーピングは、前記絶縁されたゲート電極が形成された後にアニーリングされ、シリコン及び $\text{Si}_{1-x}\text{Ge}_x$ でのドーピングの溶解度の違いの結果として再分布され、 $\text{Si}_{1-x}\text{Ge}_x$ エピタキシャル層及びシリコン活性層内にスレショルド電圧調節用ドーピングのレトログレードプロファイルを形成する。また、 $\text{Si}_{1-x}\text{Ge}_x$ エピタキシャル層内のドーピングはPMOS素子でバンチスルーを防止し、NMOS素子でフローティングボディ効果を減少させる。

【0018】本発明の基板及びその形成方法は、FBEが減少されたNMOSTランジスタを形成するために用いられることもある。FBEの減少はその内に傾斜したゲルマニウム濃度をもつ埋め込みシリコンゲルマニウム層がボディ領域からソース領域に流れるホールに対するポテンシャル障壁を減少させるからである。したがって、衝撃イオン化によりボディ領域で発生されたホールは p^-Si (ボディ) / p^-SiGe (ボディ) / n^+SiGe (ソース) / n^+Si (ソース) の経路に沿ってソース領域へとより容易に流れることができる。ドレイン-ソース電圧 V_{ds} に対して平坦に分布されたサブスレショルド傾斜をもつドレイン電流 I_d 対ゲート電圧 V

g 曲線及び良好に制御されたキング効果特性をもつNMOSトランジスタがまた形成できる。本発明の基板及びその形成方法は、チャンネル領域で高い反転層キャリア移動度から起因する優れた駆動能力をもつPMOSTランジスタを与えるためにも用いられる。このように向上された駆動能力は、レトログレードされたドーピングプロファイル及び所望のスレシヨルド電圧が同時に達成されるようにアニーリングを通じてチャンネル領域ドーピングを再編成することで得られる。このようなチャンネル領域ドーピングの再編成は、ポケットイオン注入効果を高めるためにも用いられる。このようなNMOS及びPMOS素子のスレシヨルド電圧ロールオフ (roll off) 特性は減少された短チャンネル効果 (RSC E) を示すことができ、このような素子において抑制された寄生バイポーラ作用 (PBA) がオフ漏れ電流を減少させるために用いられる。

【0019】

【発明の実施の形態】以下、添付した図面にに基づき、本発明の望ましい実施形態を詳細に説明する。後述する実施形態は各種の形態に変形でき、本発明の範囲が後述する実施形態に限定されることはない。本発明の実施形態は当業界における通常の知識を有した者に本発明をより完全に説明するために提供されるものである。本発明の実施形態を説明する図面において、ある層や領域の厚さは明細書の明確性のために誇張されている。また、ある層が他の層または基板の"上部"にあると記載された場合、前記ある層が前記他の層または基板の上部に直接的に存在することもできれば、その間に第3の層が介在されることもできる。さらに、"第1導電型"及び"第2導電型"という用語は、N型またはP型のように反対の導電型を示すが、ここに説明される各実施形態はまたその相補的な実施形態を含む。同一の参照番号は全体に亘って同一の構成要素を示す。

【0020】図3Aないし図3Eを参照し、その内に $\text{Si}_{1-x}\text{Ge}_x$ 層をもつSOI基板を形成する望ましい方法を説明する。図3Aに示されたように、この方法はその内に多孔性シリコン層12及び前記多孔性シリコン層12上に形成された第1エピタキシャルシリコン層14をもつハンドリング基板10を形成する段階を含む。この第1エピタキシャルシリコン層14は、約600Å以上の厚さをもつことができる。図3Bに示されたように、次に、 $\text{Si}_{1-x}\text{Ge}_x$ 層16が前記第1エピタキシャルシリコン層14上に形成される。この $\text{Si}_{1-x}\text{Ge}_x$ 層16は約800Å以下の厚さをもち、700°Cないし1300°Cの範囲内の温度で行われる減圧化学気相蒸着 (LP CVD) 技術を用いて形成できる。このような蒸着段階は、第1エピタキシャルシリコン層14の表面を GeH_4 及び SiH_2Cl_2 ソースガスの混合物を含む蒸着ガスに露出させることで行われる。特に、前記蒸着段階は、好ましくは、ゲルマニウムソースガス (例えば、 GeH_4

) の相対的な濃度をインサイチュで変えながら行われる。例えば、ゲルマニウムソースガスの流量は、好ましくは、 $\text{Si}_{1-x}\text{Ge}_x$ 層16内でゲルマニウムの濃度が前記下部の第1エピタキシャルシリコン層14との接合で $x=0$ の値から $0.2 \leq x \leq 0.4$ の最大値に増加するように変化させる。最大の濃度レベルに達してから、前記ゲルマニウムソースガスの流量は、 $\text{Si}_{1-x}\text{Ge}_x$ 層16内でゲルマニウムの濃度がゼロに減少されるまで次第に減少する。

【0021】次に、図3Bを参照すると、第2エピタキシャルシリコン層18が約850°Cの温度で SiH_2Cl_2 ソースガスを用いて前記蒸着段階を続けることで前記 $\text{Si}_{1-x}\text{Ge}_x$ 層16上に形成できる。第2エピタキシャルシリコン層18を形成する段階は、行っても、行わなくても良い。

【0022】図3Cを参照すると、支持基板20が、好ましくは、前記第2エピタキシャルシリコン層18に接着される。示されたように、このような接着段階は、好ましくは、前記支持基板20上に存在する酸化層22と前記第2エピタキシャルシリコン層18の練磨された表面との間で行われる。前記酸化層22は、約800ないし3000Åの範囲の厚さをもつ。次に、図3Dに示されたように、ハンドリング基板10が前記多孔性シリコン層12に沿って前記複合基板を分離することで、前記複合基板から除去される。このとき、従来の技術が前記複合基板から前記多孔性シリコン層12の残留する一部を除去するために用いられる場合がある。図3Eに示されたように、このような除去段階は、第1エピタキシャルシリコン層14の初期表面14aを露出させる平坦化または研磨技術を用いて前記多孔性シリコン層12を除去する段階を含む。以下、詳述するように、より好ましい電気的な特性をもつ活性素子 (例えば、CMOS素子) は、第1"歪みのない"エピタキシャルシリコン層14に形成できる。

【0023】図4Aないし図4Eを参照し、その内に $\text{Si}_{1-x}\text{Ge}_x$ 層をもつSOI基板を形成する他の方法を説明する。図4Aに示されたように、この他の方法は、その上に $\text{Si}_{1-x}\text{Ge}_x$ 層16'及び前記 $\text{Si}_{1-x}\text{Ge}_x$ 層16'上に形成された第2エピタキシャルシリコン層18'をもつハンドリング基板10'を形成する段階を含む。前記 $\text{Si}_{1-x}\text{Ge}_x$ 層16'は、図3Bと結びつけて説明したように形成できる。次に、ブランケットイオン注入段階が行われる。このイオン注入段階は、水素イオン注入層15を形成するために前記第2エピタキシャルシリコン層18'を通じて前記ハンドリング基板10'に水素イオンを注入する段階を含む。水素イオンは、好ましくは、前記水素イオン注入層15と $\text{Si}_{1-x}\text{Ge}_x$ 層16'との間に第1シリコン層14'を形成するのに十分なエネルギーレベルでイオン注入される。例えば、水素イオンは、 1×10^{16} ないし $1 \times 10^{17} \text{ cm}^{-2}$ のドー

ズレベルと150ないし400KeVのエネルギーレベルでイオン注入される。図4Cを参照すると、支持基板20が、好ましくは、前記第2エピタキシャルシリコン層18'に接着される。示されたように、このような接着段階は、好ましくは、前記支持基板20上に存在する酸化層22と前記第2エピタキシャルシリコン層18'の練磨された表面との間で行われる。次に、図4Dに示されたように、ハンドリング基板10'が前記水素イオン注入層15に沿って前記複合基板を分離することで、前記複合基板から除去される。このとき、従来の技術

が、前記複合基板から前記水素イオン注入層15の残留する一部を除去するために用いられる場合がある。
 【0024】図4Eに示されたように、このような除去段階は、第1シリコン層14'の初期表面を露出させる平坦化または研磨技術を用いて前記水素イオン注入層15を除去する段階を含む。本発明の他の実施形態によれば、図3Cの第2エピタキシャルシリコン層18及び図4Cの第2エピタキシャルシリコン層18'は、前記接着段階が行われる前に熱的に酸化される場合もある。或いは、前記接着段階前に、電気的な絶縁層が前記第2エ

ピタキシャルシリコン層18、18'上に、または前記第2エピタキシャルシリコン層18、18'が存在しない場合、前記Si_{1-x}Ge_x層16、16'上に蒸着される場合もある。Si_{1-x}Ge_x層16、16'の厚さは、これらの層が接着段階のための用意時に熱的に部分酸化される場合に増加できる。第2エピタキシャルシリコン層18、18'の厚さは、約200ないし400Åの間の範囲内に設定できる。

【0025】或いは、前記Si_{1-x}Ge_x層16、16'は、約30%の最大レベルに達するその内部のゲルマニウムの傾斜した濃度をもつ層から形成できる。これらの層は、700ないし800℃範囲の温度及び約20Torrの圧力下で形成できる。前記ソースガスは、GeH₄を0ないし60sccm、DCS(SiH₂Cl₂)を200sccm、及びHClを50ないし100sccmを含むことができる。
 【0026】図5を参照すると、SOI基板で電界効果トランジスタ(例えば、MOSFET)を形成する望ましい方法を説明する。図3Aないし図3E及び図4Aないし図4Eを結びつけて説明したように、これらの方法

るプロファイルをもつ。次に、スレショルド電圧を調整するためのドーピングが基板に注入される(ブロック104)。NMOS及びPMOSTランジスタで用いられる"スレショルド電圧"ドーピングは各々、NMOS及びPMOS注入マスクを用いて基板内に別途に注入できる。NMOSTランジスタに対して、前記スレショルド電圧ドーピングは、典型的に、ボロン及びインジウムなどのP型ドーピングを含む。しかし、PMOSTランジスタに対してはスレショルド電圧ドーピングは砒素及びリンなどのN型ドーピングを含む。

【0027】スレショルド電圧ドーピングを注入する段階は、同一の導電型の他のドーピングを多重で注入する段階を含む。例えば、PMOS素子において、砒素及びリンは両方とも各々エネルギーレベル及びドーズレベルでスレショルド電圧ドーピングとして注入できる。このような多重のドーピングは、シリコン及びシリコンゲルマニウム内で相異なるドーピング溶解度をもち、このような他の溶解度が連続する熱的アニーリング段階が行われるとき、スレショルド電圧ドーピングの望ましい再分布を達成するのに有利に用いられる。このような望ましい再分布は、スレショルド電圧ドーピングのレトログレードプロファイルを招く。特に、ドーピングの望ましい再分布は、スレショルド電圧ドーピングがトランジスタのチャンネル領域に流入されるときに典型的に発生するチャンネル移動度の減少を防止させることで、結果的に、トランジスタの反転層チャンネル特性を向上できる。これは、特に反転層チャンネルでの相対的に低いホール移動度から典型的に制限を受けるPMOS素子に対して有利である。シリコン活性層及び下部のSi_{1-x}Ge_x層の厚さは、また全体ドーピング電荷が結果的なスレショルド電圧に影響するということを同時に保証しながら、スレショルド電圧ドーピングの望ましい再分布の度合いを高めるように設計できる。PMOS素子において、スレショルド電圧に影響するために用いられたドーピングは、またパンチスルーを防止するのに有用である。

【0028】次に、ブロック"106"を参照すると、絶縁されたゲート電極が従来の技術を用いて基板上に形成される。ブロック"108"に示されたように、前記絶縁されたゲート電極は、低濃度でドーピングされたソース(LDS)及び低濃度でドーピングされたドレイン(LDD)ドーピングを歪みのないシリコン活性層内に注入する間にマスクとして用いられる。ポケット注入領域がポケット領域ドーピングを歪みのないシリコン活性層及び下部Si_{1-x}Ge_x層に注入することで形成できる(ブロック110)。このようなポケット領域ドーピングは、好ましくは、十分なドーズレベル及びエネルギーレベルで注入されて前記LDS及びLDD領域と前記Si_{1-x}Ge_x層との間に形成されるポケット注入領域を形成することになる。ブロック"112"に示されたように、

従来の一般的な技術がゲート電極の側壁に電気的な絶縁スペースを形成するために用いられる。高濃度でドーピングされたソース及びドレイン領域ドーピングは、ゲート電極及び側壁絶縁スペースを注入マスクとして前記LDS及びLDD領域を通じてそれらに注入される（ブロック"114"）。ブロック"116"に示されたように、急速熱的アニーリング（RTA）段階がソース及びドレイン領域ドーピングをドライブインするために行われ得る。このようなアニーリング段階中に、予め注入されたドーピングが前記シリコン活性層及び下部Si_{1-x}Ge_x層内で拡散または再分布できる。

【0029】図6Aないし図6Eを参照すると、SOI電界効果トランジスタを形成する望ましい方法は、その上に形成された歪みのないシリコン活性層36及びその内に形成された埋め込みSi_{1-x}Ge_x層34をもつ基板を形成する段階を含む。図6Aに示されたように、前記歪みのないシリコン活性層36は、約600Å以上の厚さをもち、前記埋め込みSi_{1-x}Ge_x層34は約800Å以下の厚さをもつ。好ましくは、前記歪みのないシリコン活性層36は約800ないし1200Åの範囲の厚さをもち、前記埋め込みSi_{1-x}Ge_x層34は約200ないし600Åの範囲の厚さをもつ。より好ましくは、前記歪みのないシリコン活性層36は1000Åの厚さをもち、前記埋め込みSi_{1-x}Ge_x層34は400Åの厚さをもつ。約300Åの厚さをもつ変形または歪みのない薄手の下部層32が前記埋め込みSi_{1-x}Ge_x層34及び埋め込み酸化層30間に与えられることもある。前記下部層32は省けても良い。前記埋め込みSi_{1-x}Ge_x層34内でゲルマニウムの濃度はシリコン活性層36及び前記下部層32の接合でゼロに設定できる。

【0030】また、埋め込みSi_{1-x}Ge_x層34内でゲルマニウムの濃度は0.2ないし0.4範囲のピークレベルに設定でき、前記ピークレベルに対して線形的に傾斜する場合がある。前記埋め込み酸化層30は、半導体基板またはウェーハ（図示せず）上に与えられることもある。

【0031】図6Bを参照すると、スレショルド電圧調節用ドーピング38が歪みのないシリコン活性層36内に注入される。もし、NMOS及びPMOS素子が前記シリコン活性層36内で隣接した位置に形成されれば、分離されたNMOS及びPMOS注入マスク（図示せず）が前記歪みのないシリコン活性層36上に形成できる。これらのマスクはN型ドーピングがPMOS素子のためのスレショルド電圧調節用ドーピングとして注入されるとき及びP型ドーピングがNMOS素子のためのスレショルド電圧調節用ドーピングとして注入されるときに使用できる。前記注入されたドーピング38はNMOS素子を形成するときにはボロン及びインジウムを含み、PMOS素子を形成するときには砒素及びリンを含むことができる。他のドーピングがさらに用いられる。

特に、前述した注入段階は2つの分離された注入段階を含むことができる。まず第一に、BF₂イオンなどのスレショルド電圧調節用ドーピングが約30ないし60KeV範囲のエネルギーレベルで、約 8×10^{11} ないし 5×10^{13} cm⁻²範囲のドーズレベルで0°のチルト角で注入できる。第二に、インジウムイオンなどのスレショルド電圧調節用ドーピングが約150ないし250KeV範囲のエネルギーレベルで、約 8×10^{11} ないし 5×10^{13} cm⁻²範囲のドーズレベルで注入できる。PMOS素子を形成するとき、前述したイオン注入段階は、前記シリコン活性層36及び下部Si_{1-x}Ge_x層34内で前記チャンネル領域及びボディ領域内に所望のレトログレドドーピングプロファイルを得るために十分なドーズ及びエネルギーレベルで砒素及びリンイオンを分離して注入する段階を含むことができる。特に、前記第1注入段階は、リンイオンが約20ないし40KeV範囲のエネルギーレベルで、約 8×10^{11} ないし 5×10^{13} cm⁻²範囲のドーズレベルで7°のチルト角で注入できる。

【0032】次に、砒素イオンが約150ないし250KeV範囲のエネルギーレベルで、約 8×10^{11} ないし 5×10^{13} cm⁻²範囲のドーズレベルで注入できる。前記砒素イオンはスレショルド電圧に影響できるが、典型的にPMOS素子のボディ領域でパンチスルーを防止することで素子特性により大きく影響できる。

【0033】図6Cを参照すると、従来の一般的な技術が前記シリコン活性層36の初期表面に絶縁されたゲート電極を形成するために用いられる。これらの技術は、前記初期表面上に熱的酸化層42を形成する段階及び前記熱的酸化層42上にドーピングまたはアンドーピングされたポリシリコン層40を蒸着する段階を含む。また、前記ポリシリコン層及び熱的酸化層を露出された側壁をもつ絶縁ゲート電極にバタニングするために、従来の技術が用いられる。絶縁ゲート電極を形成するための技術は、主として朴氏に与えられた"Semiconductor-on-insulator Substrates Containing Electrically Insulating Mesas"という題の米国特許第6,6064,092号、金氏に与えられた"Semiconductor-on-insulator Field Effect Transistors With Reduced Floating Body Parasitics"という題の米国特許第5,998,840号、柳氏らに与えられた"Method of Forming Semiconductor-on-insulator Substrates"という題の米国特許第5,877,046号に詳細に開示されており、これらの開示内容は、この明細書に参考文献として結び付ける。まず、ソース及びドレイン領域ドーピング39が低濃度でドーピングされたソース(LDS)及び

ドレイン(LDD)領域44a、44bを形成するために前記シリコン活性層36内に注入される。前述のように、このようなドーピングは前記絶縁ゲート電極を注入マスクとして自己整列方式で注入される場合もある。PMOS素子のためにボロンドーピング(例えば、BF₂イオン)が約3ないし30KeV範囲のエネルギーレベルで、約 1×10^{12} ないし 1×10^{16} cm⁻²範囲のドーズレベルで注入できる。またNMOS素子のために、砒素ドーピングが約20ないし50KeV範囲のエネルギーレベルで、約 1×10^{12} ないし 1×10^{16} cm⁻²範囲のドーズレベルで注入できる。次に、相対的に短期間のアニーリング段階が前記LDD及びLDSドーピングを水平的及び垂直的に拡散させるために行われる。LDS及びLDD領域を形成するとき、他のドーピングが用いられることもある。

【0034】図6Dを参照すると、ポケット注入領域ドーピング46がNMOS素子内でP型ポケット注入領域48a、48bまたはPMOS素子内でN型ポケット注入領域48a、48bを形成するために約7ないし35°のチルト角で注入できる。このような注入段階は、好ましくは、前記LDD及びLDS領域44a、44bを通過して前記埋め込みSi_{1-x}Ge_x層34内に十分なエネルギーレベルとドーズレベルで注入できる。特に、N型ポケット注入領域48a、48bが砒素イオンを約100ないし300KeV範囲のエネルギーレベルで、約 1×10^{12} ないし 1×10^{15} cm⁻²範囲のドーズレベルで注入することで形成できる。

【0035】またP型ポケット注入領域48a、48bがボロンイオンを約20ないし60KeV範囲のエネルギーレベルで、約 1×10^{12} ないし 1×10^{15} cm⁻²範囲のドーズレベルで注入することで形成できる。

【0036】高濃度でドーピングされたN型ソース及びドレイン領域50a、50bは、砒素イオン52を約20ないし60KeV範囲のエネルギー及び約 5×10^{14} cm⁻²ないし 1×10^{17} cm⁻²範囲のドーズで注入することで形成できる。また、PMOS素子のためには、高濃度でドーピングされたP型ソース及びドレイン領域50a、50bは、BF₂イオンを約25ないし40KeV範囲のエネルギー及び約 1×10^{14} cm⁻²ないし 5×10^{16} cm⁻²範囲のドーズで注入することで形成できる。ドライブイン及び活性化段階は、急速熱処理技術を用いて基板をアニーリングすることで行われる。このアニーリング段階は、900℃ないし1050℃の温度範囲で10ないし200秒間行われる。

【0037】図7Aないし図7Dを参照し、従来のSOI基板とその内に挿入されたシリコンゲルマニウム層をもつSOI基板でN型ドーピングの前アニーリング及び後アニーリングプロファイルについて説明する。特に、図7Aは、シリコン活性層(Top-Si)とシリコンウェーハ(図示せず)との間に形成される埋め込み

酸化層BOXをもつ従来のSOI基板でリン及び砒素に対するドーピングプロファイルを示す。このようなリン及び砒素ドーピングは各々、30KeV及び200KeVのエネルギーで注入された。図7Bに示されたように、約1000℃の温度で約30秒間急速熱処理(RTA)を行った後に、初期ガウシアン型ドーピングプロファイルが広がって本質的に均一なプロファイルとなる。これに対し、図7Cに示されたドーピングプロファイルは、本発明の方法に従い形成されたその内部に埋め込みSi_{1-x}Ge_x層をもつSOI基板内でレトログレード砒素プロファイルが得られることを示す。このようなレトログレードプロファイルは部分的にはシリコン活性層に対して前記Si_{1-x}Ge_x層内に砒素のドーピング溶解度を本質的に増大させるために十分なゲルマニウムの濃度で前記Si_{1-x}Ge_x層をドーピングさせることで得られる。特に、図7Cは、前アニーリングされたリン及び砒素プロファイル(リン及び砒素ドーピングが各々30及び200KeVのエネルギーで注入される)を示し、図7Dは、後アニーリングされたプロファイルを示す。図7Bに示されたように、急速熱処理段階は約1000℃で約30秒間行われた。図7Dに示されたように、砒素プロファイルは埋め込みSi_{1-x}Ge_x層内で 1×10^{19} cm⁻³のピーク濃度レベルから基板の表面で 1×10^{17} cm⁻³の最小濃度レベルに単調に減少されている。シリコン活性層において、リンドーピングの濃度及びプロファイルにより、リン及び砒素ドーピングの結合プロファイルはまたシリコン活性層を横切ってレトログレードできる。

【0038】

【発明の効果】本発明によれば、高くなったチャネル移動度特性を確保するために歪みのあるチャネル領域の使用を要しない基板を形成するインハンスメント方法及びそれにより形成された構造物が得られる。特に、PMOS素子において、パンチスルーを防止し、NMOS素子においてフローティングボディ効果を減少させる。

【0039】図面及び発明の詳細な説明で本発明の望ましい実施形態が説明された。たとえ、特定の用語が使用されたが、これは単に包括的及び説明的な意味で使用されたものであって、添付するクレームで展開される発明の思想を限定するために使用されたものではない。

【図面の簡単な説明】

【図1】 (a)従来のSOI基板を形成する方法であってその第1の段階を示した中間構造物の断面図である。(b)(a)の次の段階を示した中間構造物の断面図である。(c)(b)の次の段階を示した中間構造物の断面図である。(d)(c)の次の段階を示した中間構造物の断面図である。

【図2】 (a)従来のSOI基板を形成する方法であってその第1の段階を示した中間構造物の断面図である。(b)(a)の次の段階を示した中間構造物の断面

図である。(c)(b)の次の段階を示した中間構造物の断面図である。(d)(c)の次の段階を示した中間構造物の断面図である。

【図3】 (a) 本発明の一実施形態によりその内にSiGe層をもつSOI基板を形成する方法であってその第1の段階を示した中間構造物の断面図である。(b) (a)の次の段階を示した中間構造物の断面図である。(c) (b)の次の段階を示した中間構造物の断面図である。(d) (c)の次の段階を示した中間構造物の断面図である。(e) (d)の次の段階を示した中間構造物の断面図である。

【図4】 (a) 本発明の一実施形態によりその内にSiGe層をもつSOI基板を形成する方法であって第1の段階を示した中間構造物の断面図である。(b) (a)の次の段階を示した中間構造物の断面図である。(c) (b)の次の段階を示した中間構造物の断面図である。(d) (c)の次の段階を示した中間構造物の断面図である。(e) (d)の次の段階を示した中間構造物の断面図である。

【図5】 本発明の一実施形態によりSOI系電界効果トランジスタを形成する望ましい方法を示した工程手順図である。

【図6】 本発明の一実施形態によりSOI系MOSトランジスタを形成する方法であってその第1の段階を示した中間構造物の断面図である。(b) (a)の次の段階を示した中間構造物の断面図である。(c) (b)の次の段階を示した中間構造物の断面図である。(d) (c)の次の段階を示した中間構造物の断面図である。(e) (d)の次の段階を示した中間構造物の断面図である。

【図7】 (a) 従来のSOI基板に対してアニーリング前の基板深さ対N型ドーピング濃度のグラフであって、リン及び砒素ドーピングが各々30KeV及び20*

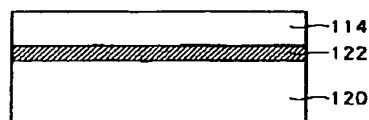
*0KeVのエネルギーで注入された場合である。(b) 従来のSOI基板に対してアニーリング後の基板深さ対N型ドーピング濃度のグラフであって、アニーリング前のドーピングプロファイルは図7Aに示される。

(c) その内に挿入されたSiGe層をもつ望ましいSOI基板に対して基板深さ対N型ドーピング濃度のグラフであって、リン及び砒素ドーピングが各々30KeV及び200KeVのエネルギーで注入された場合である。(d) その内に挿入されたSiGe層をもつ望ましいSOI基板に対して基板深さ対N型ドーピング濃度のグラフであって、アニーリング前のドーピングプロファイルは図7Cに示される。

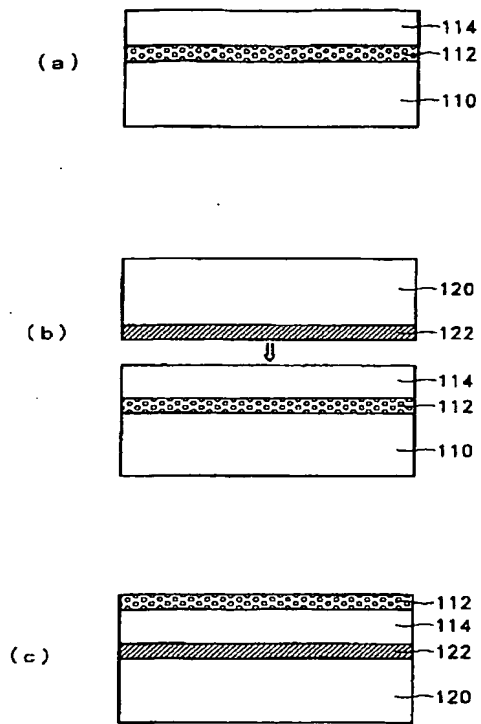
【符号の説明】

- 10 基板
- 12 多孔性シリコン層
- 14 第1エピタキシャルシリコン層
- 15 水素イオン注入層
- 16 $Si_{1-x}Ge_x$ 層
- 18 第2エピタキシャルシリコン層
- 20 支持基板
- 22 酸化層
- 30 埋め込み酸化層
- 32 下部層
- 34 埋め込み $Si_{1-x}Ge_x$ 層
- 36 歪みのないシリコン活性層
- 38 ドーピング
- 40 ポリシリコン層
- 42 熱的酸化層
- 44a、50a ソース領域
- 44b、50b ドレイン領域
- 46 ポケット注入領域ドーピング
- 48a、48b ポケット注入領域

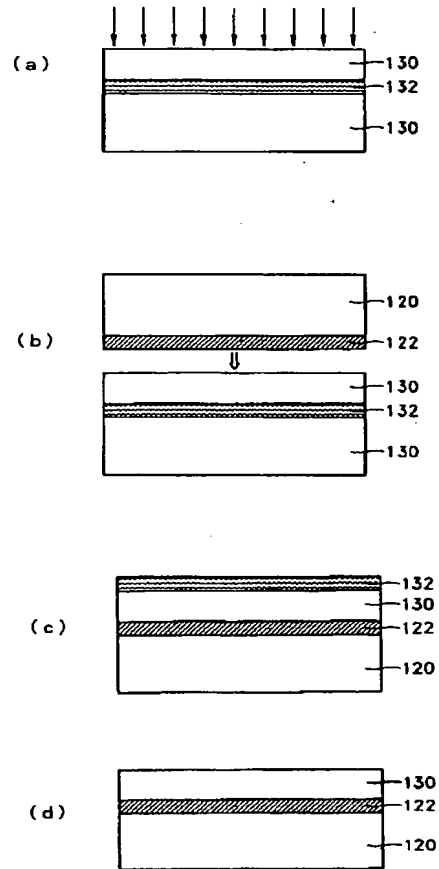
(d)



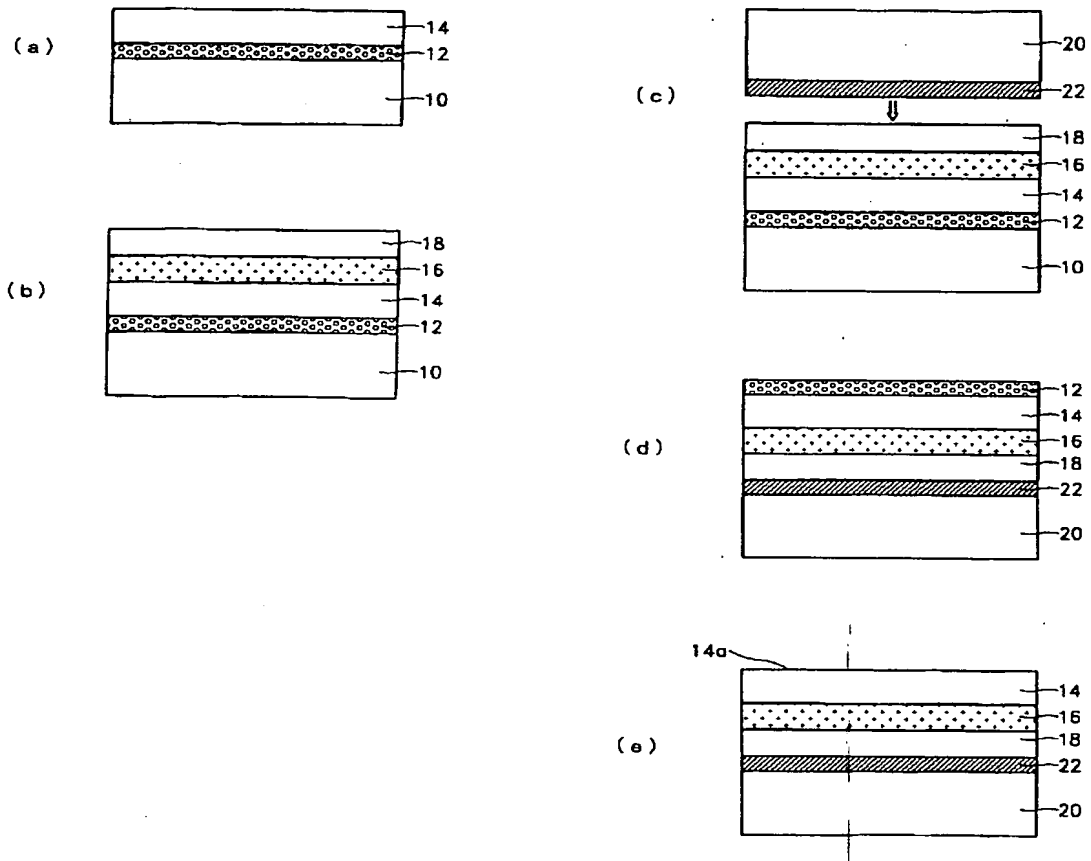
【図1】



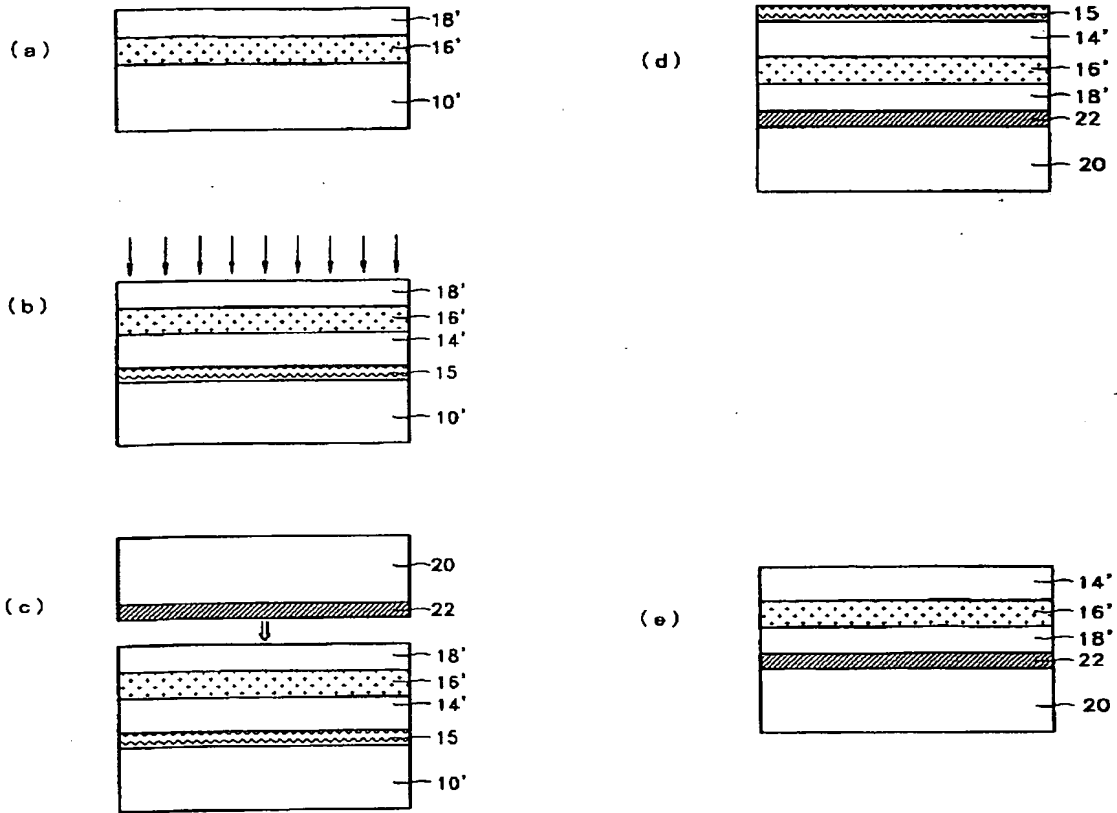
【図2】



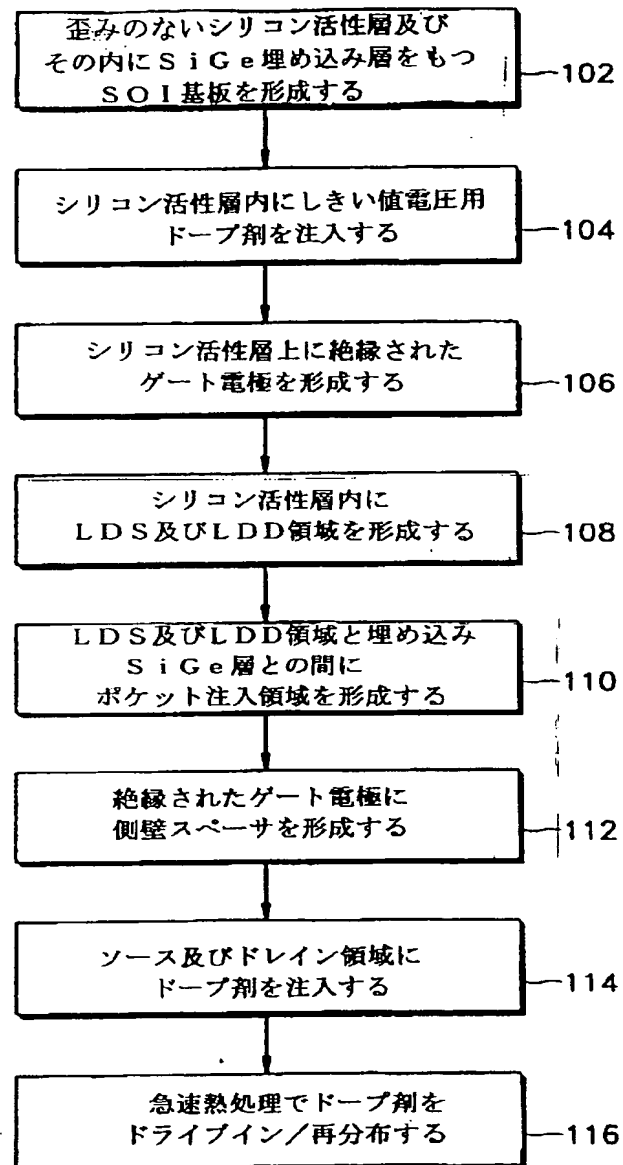
【図3】



【図4】

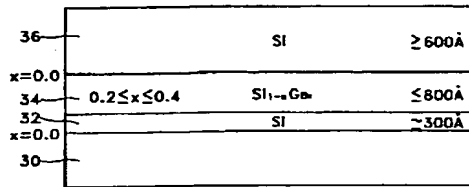


【図5】

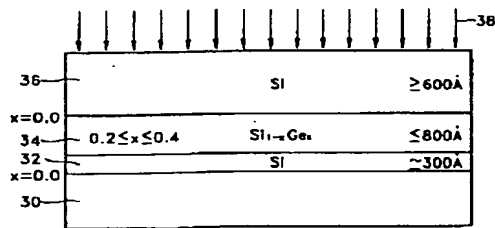


【図6】

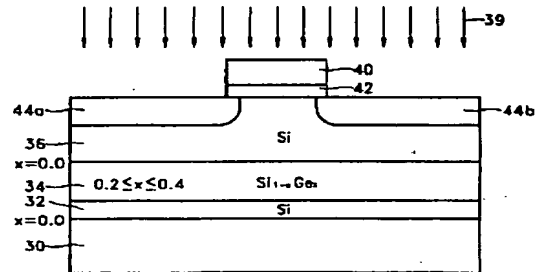
(a)



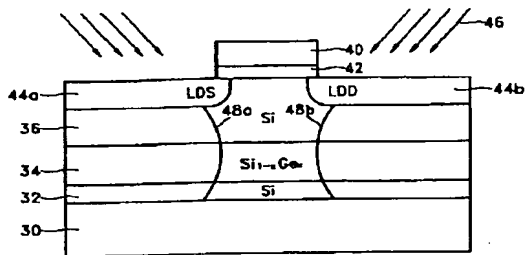
(b)



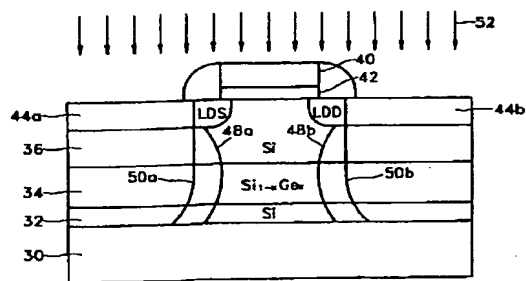
(c)



(d)

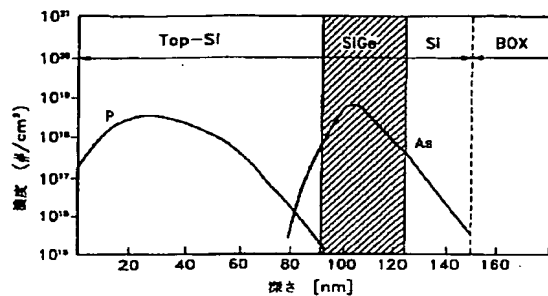


(e)

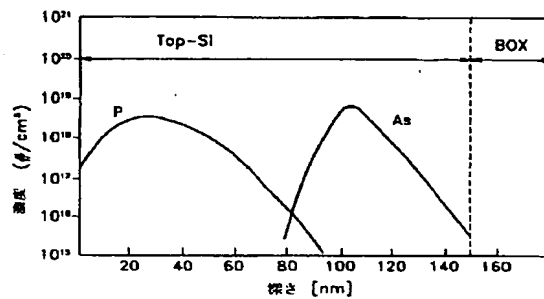


【図7】

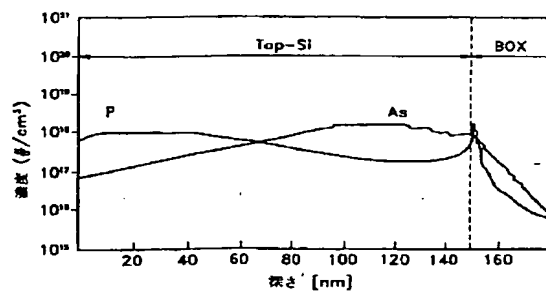
(a)



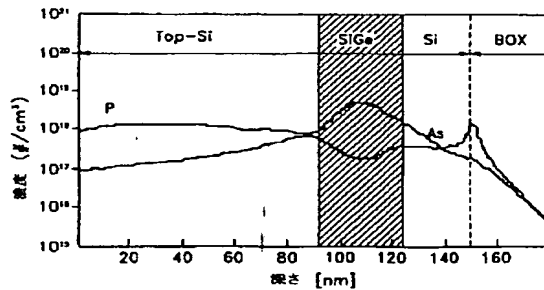
(c)



(b)



(d)



フロントページの続き

(72)発明者 金 相秀

大韓民国京畿道金浦市霞城面後坪1里72-2番地

(72)発明者 李 化成

大韓民国ソウル特別市冠岳区奉天6洞1679-2番地

(72)発明者 李 來寅

大韓民国ソウル特別市銅雀区上道5洞56-85番地

(72)発明者 李 庚旭

大韓民国京畿道城南市盆唐区盆唐洞66番地
長安タウン120棟804号

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.